

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/163171

発行日 平成29年4月13日 (2017. 4. 13)

(43) 国際公開日 平成27年10月29日 (2015. 10. 29)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 7/18 (2006.01)	H04N 7/18 M	4C161
A61B 1/04 (2006.01)	A61B 1/04 370	5C054
G09G 5/00 (2006.01)	G09G 5/00 510D	5C182
G09G 5/36 (2006.01)	G09G 5/00 550C	
	G09G 5/36 520C	
審査請求 未請求 予備審査請求 未請求 (全 30 頁) 最終頁に続く		

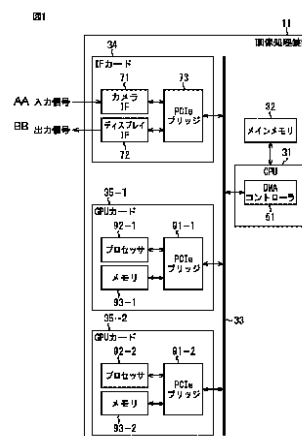
出願番号	特願2016-514864 (P2016-514864)	(71) 出願人	000002185
(21) 国際出願番号	PCT/JP2015/061311		ソニー株式会社
(22) 国際出願日	平成27年4月13日 (2015. 4. 13)		東京都港区港南1丁目7番1号
(31) 優先権主張番号	特願2014-90566 (P2014-90566)	(74) 代理人	100121131
(32) 優先日	平成26年4月24日 (2014. 4. 24)		弁理士 西川 孝
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100082131
			弁理士 稲本 義雄
		(72) 発明者	山根 真人
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	林 恒生
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム (参考)	4C161 CC06 HH56 NN05 SS21 WW03
		最終頁に続く	

(54) 【発明の名称】 画像処理装置および方法、並びに手術システム

(57) 【要約】

本技術は、低レイテンシ化して撮像した画像をリアルタイムに近い状態で表示できるようにする画像処理装置および方法、並びに手術システムに関する。

CPU 31 のDMAコントローラ 51 は、IFカード 34 を介して入力された画像データを水平方向にGPUカード 35-1, 35-2 の数で分割して割り当てると共に、各GPUカード 35-1, 35-2 においては、画像データが垂直方向に時分割処理される。これにより複数のGPUカード 35-1, 35-2 を利用することで画像データの表示に係る処理の高速化を図り、低レイテンシ化することで、高速表示を実現する。本技術は、内視鏡カメラや手術用顕微鏡などに適用することができる。



11 Image processing apparatus
32 Main memory
34 Interface card
35-1, 35-2 GPU cards
51 DMA controller
71 Camera interface
72 Display interface
73, 91-1, 91-2 PCIe bridge
92-1, 92-2 Processors
93-1, 93-2 Memories
AA Input signals
BB Output signals

【特許請求の範囲】

【請求項 1】

患者の術部が撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含み、

前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す

画像処理装置。

【請求項 2】

前記複数の演算処理部は、複数のGPU (Graphical Processing Unit) により構成され、

前記演算処理部は、前記GPUの数で水平方向に分割された前記画像に処理を施す

請求項 1 に記載の画像処理装置。

10

【請求項 3】

前記画像に施す処理は、 n 段のフィルタを掛ける処理である

請求項 1 に記載の画像処理装置。

【請求項 4】

前記 n 段の前記フィルタは、それぞれ前記画像を垂直方向に分割した範囲を、前記垂直方向の最上段の範囲から下方向に向かって順次時分割で処理を施す

請求項 3 に記載の画像処理装置。

【請求項 5】

前記画像の前記水平方向の分割数、および前記垂直方向の分割数に基づいて算出される前記画像に施す処理量と、前記演算処理部の処理速度とに基づいて、前記演算処理部の演算のタイミングを制御するタイミング制御部をさらに含む

請求項 1 に記載の画像処理装置。

20

【請求項 6】

前記画像を前記垂直方向に時分割した範囲のうち、第 1 の期間の処理範囲には、前記第 1 の期間より後の第 2 の期間の処理に必要とされる参照ピクセルが含まれる

請求項 1 に記載の画像処理装置。

【請求項 7】

前記演算処理部は、処理結果をバッファリングするメモリを含み、

前記第 2 の期間の処理では、前記メモリにバッファリングされた前記第 1 の期間の処理結果から、前記参照ピクセルに対応する処理結果を利用して演算処理を実行する

請求項 6 に記載の画像処理装置。

30

【請求項 8】

前記演算処理部は、処理結果をバッファリングするメモリを含み、

前記画像を垂直方向に分割した範囲のうち、各段の前記フィルタによる前記垂直方向の最上段の処理範囲は、前記垂直方向の 2 段目以下の処理範囲における前記フィルタの処理に必要とされる参照ピクセルのライン数を含む範囲とし、

前記演算処理部は、前記フィルタによる処理のための演算処理を実行するにあたり、前記参照ピクセルを利用する処理は、前記メモリにバッファリングされた前段までのフィルタ処理の処理結果から、前記参照ピクセルに対応する処理結果を利用して演算処理を実行する

請求項 3 に記載の画像処理装置。

40

【請求項 9】

前記演算処理部は、前記患者の術部が撮像された画像に対して、少なくとも拡大処理を施す

請求項 1 に記載の画像処理装置。

【請求項 10】

前記患者の術部が撮像された画像は、内視鏡により撮像された画像である

請求項 1 に記載の画像処理装置。

【請求項 11】

50

前記患者の術部が撮像された画像は、顕微鏡により撮像された画像である
請求項 1 に記載の画像処理装置。

【請求項 1 2】

患者の術部が撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含む画像処理装置の画像処理方法において、

前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す
画像処理方法。

【請求項 1 3】

前記画像は、内視鏡により撮像された画像である

10

請求項 1 2 に記載の画像処理方法。

【請求項 1 4】

前記画像は、顕微鏡により撮像された画像である

請求項 1 2 に記載の画像処理方法。

【請求項 1 5】

患者の術部を撮像する撮像装置と、

前記撮像装置により撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含み、

前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す

20

画像処理装置と

を有する手術システム。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、画像処理装置および方法、並びに手術システムに関し、特に、低レイテンシでの画像表示を実現できるようにした画像処理装置および方法、並びに手術システムに関する。

【背景技術】

【0002】

30

近年、医療現場において従来の開腹手術に代わって、内視鏡下手術が行われている。内視鏡下手術等において使用される画像処理装置としては、特に、低レイテンシでの画像表示を実現することが求められている。

【0003】

一方で、撮像された画像を、タイムラグを最小にして高速で表示できるようにする技術が提案されている。

【0004】

例えば、画像を垂直方向に分割し、複数のプロセッサを用いて、分割された領域毎に並列処理させることにより高速で表示させる技術が提案されている（特許文献 1 参照）。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献 1】特開平 2 - 0 4 0 6 8 8 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した特許文献 1 に記載の技術では、ライン単位に画像を分割すると、GPU (Graphics Processing Unit) のように、それぞれ処理用のメモリを独立して持つ構成の場合、ライン単位でオーバーラップする必要がある、オーバーヘッドが大きくなる。

【0007】

50

結果として、オーバーヘッドを処理するため、全体として処理ライン数が増えることで、演算量が増加して、処理速度を向上させることができないことがあった。

【0008】

本技術は、このような状況に鑑みてなされたものであり、特に、画像を水平方向に分割して、複数のプロセッサに割り付けると共に、各プロセッサでは割り付けられた領域を垂直方向に時分割処理し、かつ、垂直方向に分割された各領域について、先頭領域に最も大きなオーバーヘッドを設定して順次処理させるようにすることで、撮像した画像を高速で表示できるようにするものである。

【課題を解決するための手段】

【0009】

本技術の一側面の画像処理装置は、患者の術部が撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含み、前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す。

【0010】

前記複数の演算処理部には、複数のGPU (Graphical Processing Unit) により構成され、前記演算処理部は、前記GPUの数で水平方向に分割された前記画像に処理を施すようにさせることができる。

【0011】

前記画像に施す処理は、n 段のフィルタを掛ける処理とすることができる。

【0012】

前記n 段の前記フィルタは、それぞれ前記画像を垂直方向に分割した範囲を、前記垂直方向の最上段の範囲から下方向に向かって順次時分割で処理を施す。

【0013】

前記画像の前記水平方向の分割数、および前記垂直方向の分割数に基づいて算出される前記画像に施す処理量と、前記演算処理部の処理速度とに基づいて、前記演算処理部の演算のタイミングを制御するタイミング制御部をさらに含ませるようにすることができる。

【0014】

前記画像を前記垂直方向に時分割した範囲のうち、第1の期間の処理範囲には、前記第1の期間より後の第2の期間の処理に必要とされる参照ピクセルが含まれるようにすることができる。

【0015】

前記演算処理部には、処理結果をバッファリングするメモリを含ませるようにすることができ、前記第2の期間の処理では、前記メモリにバッファリングされた前記第1の期間の処理結果から、前記参照ピクセルに対応する処理結果を利用して演算処理を実行させるようにすることができる。

【0016】

前記演算処理部には、処理結果をバッファリングするメモリを含ませるようにすることができ、前記画像を垂直方向に分割した範囲のうち、各段の前記フィルタによる前記垂直方向の最上段の処理範囲は、前記垂直方向の2 段目以下の処理範囲における前記フィルタの処理に必要とされる参照ピクセルのライン数を含む範囲とすることができ、前記演算処理部には、前記フィルタによる処理のための演算処理を実行するにあたり、前記参照ピクセルを利用する処理では、前記メモリにバッファリングされた前段までのフィルタ処理の処理結果から、前記参照ピクセルに対応する処理結果を利用して演算処理を実行させるようにすることができる。

【0017】

前記演算処理部には、前記患者の術部が撮像された画像に対して、少なくとも拡大処理を施すようにさせることができる。

【0018】

前記患者の術部が撮像された画像は、内視鏡により撮像された画像とすることができる。

10

20

30

40

50

【0019】

前記患者の術部が撮像された画像は、顕微鏡により撮像された画像とすることができる。

【0020】

本技術の一側面の画像処理方法は、患者の術部が撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含む画像処理装置の画像処理方法であって、前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す。

【0021】

前記画像は、内視鏡により撮像された画像とすることができる。

10

【0022】

前記画像は、顕微鏡により撮像された画像とすることができる。

【0023】

本技術の一側面の手術システムは、患者の術部を撮像する撮像装置と、前記撮像装置により撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含み、前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す画像処理装置とを有する。

【0024】

本技術の一側面においては、複数の演算処理部により、患者の術部が撮像された画像が垂直方向に分割された範囲毎に時分割で処理が施され、前記演算処理部の数で、水平方向に分割された前記画像が、前記垂直方向に時分割で処理が施される。

20

【発明の効果】

【0025】

本技術の一側面によれば、撮像した画像の表示処理を低レイテンシで実現し、撮像した画像をリアルタイムで高速に表示させることが可能となる。

【図面の簡単な説明】

【0026】

【図1】本技術を適用した画像処理装置の一実施の形態の構成を説明するブロック図である。

【図2】図1の画像処理装置による処理を説明する図である。

30

【図3】従来の画像処理と本技術の画像処理との違いを説明する図である。

【図4】図1の画像処理装置が水平方向にGPUカード数で分割して並列処理することを説明する図である。

【図5】図1の画像処理装置が水平方向にGPUカード数で分割して並列処理すると共に、垂直方向に時分割処理することを説明する図である。

【図6】画像を処理するフィルタの一例を示す図である。

【図7】フィルタ処理における注目画素と参照ピクセルとの関係を説明する図である。

【図8】各処理領域でフィルタ処理する際に発生するオーバーヘッドを説明する図である。

【図9】各処理領域でフィルタ処理する際に発生する具体的なオーバーヘッドの一例を説明する図である。

40

【図10】図1の画像処理装置における各フィルタ処理における処理範囲の設定方法を説明する図である。

【図11】図1の画像処理装置による低レイテンシ表示処理を説明するフローチャートである。

【図12】水平方向の処理量を計算する方法を説明する図である。

【図13】垂直方向の処理量を計算する方法を説明する図である。

【図14】処理範囲に応じて処理時間が変化してしまうことを説明する図である。

【図15】処理範囲で出力するライン数を調整して、処理範囲毎の処理時間を均一化することを説明する図である。

【図16】処理範囲毎に生じる処理時間差が生じるときに、リアルタイム性が求められな

50

い処理を空いた時間に実行させることで、処理範囲毎の処理時間を均一化することを説明する図である。

【図 1 7】汎用のパーソナルコンピュータの構成例を説明する図である。

【発明を実施するための最良の形態】

【0027】

＜画像処理装置の構成例＞

図 1 は、本技術を適用した画像処理装置の一実施の形態の構成例を示すブロック図である。

【0028】

図 1 の画像処理装置 11 は、図示せぬカメラ等の撮像装置により撮像された画像データの入力を受け付けて、各種の処理を施した後、図示せぬディスプレイ等の表示装置に出力して画像として表示させるものである。

【0029】

より詳細には、画像処理装置 11 は、CPU (Central Processing Unit) 31、メインメモリ 32、バス 33、IF (Interface) カード 34、および GPU (Graphical Processing Unit) カード 35-1、35-2 を備えている。尚、GPU カード 35-1、35-2 について、特に区別する必要が無い場合、単に、GPU カード 35 と称するものとし、その他の構成についても同様に称するものとする。

【0030】

CPU (Central Processing Unit) 31 は、画像処理装置 11 の動作の全体を制御する。また、CPU 31 は、DMA (Direct Memory Access) コントローラ 51 を備えている。尚、ここでいう DMA とは、Direct Memory Access を表すものであり、CPU 31 による管理が直接なされることなく、バス 33 を介して IF カード 34、メインメモリ 32、および GPU カード 35 間の相互に直接データを転送する動作を表している。すなわち、DMA コントローラ 51 は、この CPU 31 によって直接管理されない DMA による転送動作のうち、転送元と転送先、および転送タイミングを制御する。

【0031】

より詳細には、DMA コントローラ 51 は、IF カード 34 およびバス 33 を介して図示せぬカメラより入力信号として供給される画像データを、一旦、メインメモリ 32 に記憶させる。また、DMA コントローラ 51 は、メインメモリ 32 に記憶させた画像データと、GPU カード 35-1、35-2 のプロセッサ 92-1、92-1 の処理能力と、処理内容に応じて、メインメモリ 32 に記憶された画像データを分割する。また、DMA コントローラ 51 は、分割した画像データを範囲毎に読み出すタイミング、および処理された画像データを再び格納するタイミングを割り付ける。さらに、DMA コントローラ 51 は、割り付けたタイミングで分割された画像データを順次 GPU カード 35-1、35-2 に供給すると共に、処理済みの画像データを順次メインメモリ 32 に記憶させる。そして、DMA コントローラ 51 は、メインメモリ 32 に記憶された処理済みの画像データをバス 33、および IF カード 34 を介して出力信号として図示せぬディスプレイに出力して表示させる。

【0032】

IF (Interface) カード 34 は、カメラ IF 71、ディスプレイ IF 72、および PCIe (Peripheral Component Interconnect Express) ブリッジ 73 を備えている。IF カード 34 のカメラ IF 71 は、DMA コントローラ 51 による管理の下で、図示せぬカメラより入力信号として供給されてくる画像データを受け付けると、PCIe ブリッジ 73、およびバス 33 を介してメインメモリ 32 に供給する。また、IF カード 34 のディスプレイ IF 72 は、DMA コントローラ 51 による管理の下で、メインメモリ 32 よりバス 33、および PCIe ブリッジ 73 を介して供給されてくる処理済みの画像データを、図示せぬディスプレイに出力信号として出力する。

【0033】

GPU カード 35-1、35-2 は、それぞれ PCIe ブリッジ 91-1、91-2、プロセッサ 92-1、92-2、およびメモリ 93-1、93-2 を備えている。GPU カード 3

10

20

30

40

50

5は、CPU 3 1のDMAコントローラ5 1の管理の下で、メインメモリ3 2よりバス3 3、およびPCIeブリッジ9 1を介して供給されてくる画像データをメモリ9 3に一旦記憶させる。そして、プロセッサ9 1は、メモリ9 3に記憶された画像データを、順次読み出しながら所定の処理を施し、処理結果を必要に応じてメモリ9 3にバッファリングすると共に、PCIeブリッジ9 1、およびバス3 3を介してCPU 3 1に出力する。尚、GPUカード3 5は、図1においては、2枚である例が示されているが、2枚以上の枚数であってもよいものである。

【0034】

＜画像処理の概要について＞

次に、図2を参照して、図1の画像処理装置1 1による画像処理について説明する。

10

【0035】

図2中、左上部から矢印で示されるように、図示せぬカメラにより撮像された、例えば、ベイヤ配列の画素配列からなる画像データ（最左部）は、欠陥補正処理、およびRAWNR（Noise Reduction）処理が施されると、デモザイク処理により、R（赤色）画像、G（緑色）画像、およびB（青色）画像（図中のRGB画像）が生成される。さらに、デモザイク処理されたR（赤色）画像、G（緑色）画像、およびB（青色）画像には、高画質化処理が施された後、拡大処理がなされて、出力画像を構成するR（赤色）画像、G（緑色）画像、およびB（青色）画像が生成される。このようにして生成されたR（赤色）画像、G（緑色）画像、およびB（青色）画像が、出力信号として図示せぬディスプレイなどの表示部に出力されて表示される。

20

【0036】

＜低レイテンシ化＞

上述したような画像処理を、従来のようにフレーム単位で実行した場合、処理は、図3の上段で示されるようなタイムチャートとなる。尚、ここでは、画像に対してなされる処理は、処理A、Bの2種類のみであるものとする。また、図3の上段においては、GPUカード3 5と同一のGPUカードが1枚存在する構成であるものとする。

【0037】

すなわち、時刻t 0乃至t 1において、図中の「DMA INPUT #0」で示されるように、DMAコントローラ5 1により入力信号として供給される画像データがメインメモリ3 2に書き込まれて記憶される。

30

【0038】

時刻t 1乃至t 2において、図中の「Kernel A #0」で示されるように、DMAコントローラ5 1により、メインメモリ3 2に記憶された画像データがGPUカード3 5に供給されて、GPUカード3 5のプロセッサ9 2により処理Aが実行される。

【0039】

時刻t 3乃至t 4において、図中の「Kernel B #0」で示されるように、DMAコントローラ5 1により、メインメモリ3 2に記憶された画像データがGPUカード3 5に供給されて、GPUカード3 5のプロセッサ9 2により処理Bが実行されて、処理結果がメインメモリ3 2に戻される。

【0040】

時刻t 5乃至t 6において、図中の「DMA OUTPUT #0」で示されるように、DMAコントローラ5 1により、メインメモリ3 2に格納されている処理A、Bが施された画像データが読み出されて出力される。

40

【0041】

この場合、1のGPUカード3 5でフレーム全体を処理してから表示しようとする、1フレーム分の処理結果が生成されるまでは、画像として表示されることがなく、また、処理時間が膨大なものとなり、レイテンシが大きなものとなるので、表示に遅れが生じる恐れがある。

【0042】

そこで、図1の画像処理装置1 1においては、図3の下段で示されるように、フレーム

50

を垂直方向にいくつかの範囲に分割し、処理を小分けにして実行することでレイテンシを小さくしている。尚、図3の下段においては、フレームを3分割して画像データ#0乃至#2にした場合に、それぞれに対する処理がなされる場合の例が示されている。

【0043】

すなわち、図3の下段においては、時刻 t_{21} 乃至 t_{22} において、図中の「DMA INPUT #0」で示されるように、DMAコントローラ51により入力信号として供給される画像データ#0がメインメモリ32に書き込まれて記憶される。

【0044】

時刻 t_{31} 乃至 t_{32} において、図中の「処理 A #0」で示されるように、DMAコントローラ51により、メインメモリ32に記憶された画像データ#0がGPUカード35に供給されて、GPUカード35のプロセッサ92により処理Aが実行される。

10

【0045】

このとき、「処理 A #0」の処理と並行して時刻 t_{22} 乃至 t_{23} において、図中の「DMA INPUT #1」で示されるように、DMAコントローラ51により入力信号として供給される画像データ#1をメインメモリ32に記憶させる。

【0046】

時刻 t_{33} 乃至 t_{34} において、図中の「処理 B #0」で示されるように、DMAコントローラ51により、メインメモリ32に記憶された画像データがGPUカード35に供給されて、GPUカード35のプロセッサ92により処理Bが実行されて、処理結果がメインメモリ32に戻される。

20

【0047】

時刻 t_{51} 乃至 t_{52} において、図中の「DMA OUTPUT #0」で示されるように、DMAコントローラ51により、メインメモリ32に格納されている処理A、Bが施された画像データ#0が出力される。

【0048】

「DMA OUTPUT #0」の処理に並行して、時刻 t_{35} 乃至 t_{36} において、図中の「処理 A #1」で示されるように、DMAコントローラ51により、メインメモリ32に記憶された画像データ#1がGPUカード35に供給されて、GPUカード35のプロセッサ92により処理Aが実行される。

【0049】

さらに、「処理 A #1」の処理に並行して時刻 t_{24} 乃至 t_{25} において、図中の「DMA INPUT #2」で示されるように、DMAコントローラ51により入力信号として供給される画像データ#2をメインメモリ32に記憶させる。

30

【0050】

時刻 t_{37} 乃至 t_{38} において、図中の「処理 B #1」で示されるように、DMAコントローラ51により、メインメモリ32に記憶された画像データ#1がGPUカード35に供給されて、GPUカード35のプロセッサ92により処理Bが実行されて、処理結果がメインメモリ32に戻される。

【0051】

時刻 t_{53} 乃至 t_{54} において、図中の「DMA OUTPUT #1」で示されるように、DMAコントローラ51により、メインメモリ32に格納されている処理A、Bが施された画像データ#1が出力される。

40

【0052】

「DMA OUTPUT #1」の処理に並行して、時刻 t_{39} 乃至 t_{40} において、図中の「処理 A #2」で示されるように、DMAコントローラ51により、メインメモリ32に記憶された画像データ#2がGPUカード35に供給されて、GPUカード35のプロセッサ92により処理Aが実行される。

【0053】

時刻 t_{41} 乃至 t_{42} において、図中の「処理 B #2」で示されるように、DMAコントローラ51により、メインメモリ32に記憶された画像データ#2がGPUカード35に供給さ

50

れて、GPUカード35のプロセッサ92により処理Bが実行されて、処理結果がメインメモリ32に返される。

【0054】

時刻t55乃至t56において、図中の「DMA OUTPUT #2」で示されるように、DMAコントローラ51により、メインメモリ32に格納されている処理A、Bが施された画像データ#2が出力される。

【0055】

このような処理により、画像データ#0乃至#2が時分割処理されて、「DMA INPUT」、「処理A」、「処理B」、および「DMA OUTPUT」が必要に応じて並列処理されることにより、全体としてもレイテンシを低減させることが可能となる。また、処理A、Bが施された画像データ#0乃至#2が、処理が終了すると共に部分的に表示されることになるので、体感的にも表示が速くなり、低レイテンシ化を図ることが可能となる。

【0056】

<水平分割>

上述したように、垂直方向に画像を分割して低レイテンシ化を実現させると共に、さらに、図1の画像処理装置11は、複数のGPUカード35が設けられているので、同様の処理を並列処理する。すなわち、図4の左部で示される画像データP1が入力される場合、図4の右上部で示されるように、水平方向に分割し、それぞれ図3を参照して説明したように、垂直方向に時分割処理する。

【0057】

尚、図4の右上部においては、画像データP1の左部で示される領域Z1が、GPUカード35-1に対応する「GPU#0」による処理範囲であり、画像データP1の右部で示される領域Z2が、GPUカード35-2に対応する「GPU#1」による処理範囲である。尚、図4の右下部においては、従来の並列処理における垂直方向の分割方式の例が示されており、上段が領域Z11で示されるGPUカード35-1に対応する「GPU#0」による処理範囲であり、下段が領域Z12で示されるGPUカード35-2に対応する「GPU#1」による処理範囲である。すなわち、図4の右下部においては、GPUカード35毎に垂直方向に2分割する例が示されている。

【0058】

<垂直分割>

また、図1の画像処理装置11は、図5で示されるように、画像P1の領域Z1、Z2がそれぞれ、上から垂直方向に範囲C1乃至C4に4分割されるとき、GPUカード35-1を制御して、領域Z1においては範囲C1乃至C4の順序で（上から順に下に向かう順序で）時分割処理する。同様に、図1の画像処理装置11は、GPUカード35-2を制御して、領域Z2において範囲C1乃至C4の順序で時分割処理する。

【0059】

このように水平方向に対しては複数の（図5では2個の）GPUカード35により並列に処理がなされ、さらに、垂直方向にはそれぞれのGPUカード35により時分割処理されることにより画像処理を高速化し、低レイテンシ化を実現することが可能となる。

【0060】

<オーバーヘッド>

GPUカード35のプロセッサ92により画像に対して実行される処理は、一般的に、フィルタ処理である。例えば、図6で示されるようなガウシアンフィルタを、各画素に対して3回処理する必要がある場合を考える。尚、図6においては、3画素×3画素のガウシアンフィルタであり、注目画素に4/16が、注目画素の上下左右の4画素に2/16が、注目画素の左右斜め上下の4画素に1/16がそれぞれ重み係数として設定され、これらの関和を画素として演算するフィルタである。

【0061】

この場合、図7の左上部で示されるように、処理対象となる注目画素Pを中心とした5画素×5画素の範囲に1回目のフィルタ処理が施される。この場合、5画素×5画素の範

10

20

30

40

50

囲の上下左右の端部の画素にフィルタを掛けるには、その端部の1画素分だけ注目画素に向かって反対側に隣接する画素も必要となる。また、5画素×5画素の範囲の角の画素については、さらに、斜め方向の注目画素に対して反対側に隣接する1画素も必要となる。すなわち、「1」が付されたマス目で示される5画素×5画素の範囲に対して1回目のフィルタ処理を施すには、図中の注目画素Pを中心とした合計7画素×7画素が必要となる。

【0062】

次に、図7の中央上部で示されるように、注目画素Pを中心とした3画素×3画素の範囲に2回目のフィルタ処理が施されることになる。この場合も、3画素×3画素の範囲の上下左右の端部の画素にフィルタを掛けるには、その端部の1画素分だけ注目画素に向かって反対側に隣接する画素も必要となる。また、3画素×3画素の範囲の角の画素については、さらに、斜め方向にも注目画素に対して反対側に隣接する1画素が必要となる。すなわち、2回目のフィルタ処理では、図中の「2」が付されたマス目で示される、3画素×3画素の範囲の合計9画素が必要となる。

【0063】

そして、図7の右上部で示されるように、このようにして求められた2回目までの処理がなされた8画素が利用されて、注目画素Pは、「3」が付されるように、3回のフィルタ処理がなされることになる。

【0064】

結果として、図7の下部で示されるように、注目画素Pに3回のフィルタ処理を施すには、注目画素Pを中心とした斜線部で示される7画素×7画素の範囲の画素を利用することで、注目画素Pに3回のフィルタ処理を施すことが可能となる。すなわち、注目画素に3回フィルタ処理を掛ける場合、3回目の処理で注目画素を中心とした3画素×3画素の領域の画素が参照ピクセルとなる。また、2回目の処理で3回目の参照ピクセルとなる3画素×3画素の各画素について2回目のフィルタの処理に必要な参照ピクセルが、9画素のそれぞれを中心とした9画素分必要となるので、5画素×5画素の範囲が参照ピクセルとなる。さらに、1回目の処理で2回目の参照ピクセルのそれぞれについて5画素×5画素の各画素が参照ピクセルとされることにより、結果として、7画素×7画素の範囲が参照ピクセルとして必要となる。

【0065】

ここで、処理対象となる画素、すなわち、注目画素に処理を施す際に必要とされる、注目画素以外の参照ピクセル、または、参照ピクセル数をオーバーヘッドと称するものとし、その参照ピクセルが存在する領域をオーバーヘッド領域と称する。従って、図7の場合、1画素の注目画素については、図7の左下部で示されるように、注目画素から上下左右にオーバーヘッド幅 $D_p = 4$ 画素分の領域がオーバーヘッド領域として、発生することになる。すなわち、図7の場合、オーバーヘッドとなる画素は、注目画素を除く48画素分だけ発生することになる。ただし、参照ピクセルでも、別途、注目画素となり得る画素については、オーバーヘッド画素ではない。あくまでも、処理対象とはならないが、参照ピクセルとしてのみ必要とされる画素をオーバーヘッドと称する。

【0066】

尚、以降においては、注目画素に対して発生するオーバーヘッドの量を表現する手法としてオーバーヘッド幅 D_p を採用する。オーバーヘッド幅 D_p は、図7の左下部で示されるように、注目画素Pからみたオーバーヘッドとなるピクセルの上下左右のいずれかの端部までのピクセル数である。従って、オーバーヘッド幅 $D_p = 4$ であれば、オーバーヘッドとなるピクセル数は48画素となる。

【0067】

処理対象となる画素が存在する領域には、複数の画素が存在することになるが、上述したように、1フレーム分の画像を水平方向に2分割して、それぞれGPUカード35-1, 35-2のそれぞれのプロセッサ92-1, 92-2により、垂直方向に4分割した範囲毎に順次時分割処理がなされる場合、例えば、図8で示されるようなオーバーヘッドが発生

10

20

30

40

50

する。

【0068】

すなわち、図8においては、画像P1に対して、図中左側の領域Z1における上から2段目の範囲C2で特定される領域Z1C2においては、オーバーヘッド領域OHZ1C2が発生する。

【0069】

従って、図8で示されるように、領域Z1、Z2のそれぞれについて、垂直方向に4分割した範囲C1乃至C4の合計8領域に分割される場合、オーバーヘッドは、概算でオーバーヘッド領域OHZ1C2の8倍発生することになる。

【0070】

また、各オーバーヘッドについても、上述した3画素×3画素のフィルタの場合、1画素について、オーバーヘッド幅Dp=4画素のオーバーヘッド(48画素)が発生する例について説明したが、実際の処理は、これ以上のオーバーヘッドが発生する。

【0071】

例えば、図9で示されるように、欠陥補正処理、RAWNR処理、デモザイク処理、高画質化処理、および拡大処理に係るそれぞれの処理に際して、オーバーヘッド幅Dp=2, 6, 8, 40, 8画素のオーバーヘッドが発生するものとする、合計オーバーヘッド幅Dp=64画素のオーバーヘッドが発生する。すなわち、129画素×129画素の範囲で、注目画素を除く画素数のオーバーヘッド画素が発生することになる。また、例えば、水平方向に2分割し、垂直方向に4分割するとき、オーバーヘッドは、分割処理しない場合に比べて、30%程度増加することがある。

【0072】

<オーバーヘッドの削減方法>

以上のようにオーバーヘッドが増えると演算処理量が膨大なものとなり、処理時間が大きくなることで、リアルタイムを達成するためにより演算性能の高いプロセッサを必要としてしまう。そこで、図1の画像処理装置11においては、次のような演算によりオーバーヘッドを削減している。すなわち、GPUカード35-1, 35-2のそれぞれに画像P1のうちの処理領域として領域Z1, Z2が割り付けられている場合、メモリ93-1, 93-2に前段のフィルタ処理結果をバッファリングさせて、後段のフィルタ処理で流用できるようにする。

【0073】

すなわち、n段のフィルタ処理が全体として必要な場合、図10の左上部の右上がりの斜線部で示されるように、第1フィルタ処理(フィルタ#1)による範囲C1における処理領域については、以降の処理において必要とされる全参照ピクセルのライン数を含む1フレーム分の垂直方向の全ライン数の1/4よりも広いライン数の範囲とする。そして、それ以降については、全ライン数の1/4の範囲となるように、範囲C2, C3を設定し、最後の範囲C4については、残りの範囲を設定する。尚、図10においては、左から第1フィルタ処理(フィルタ#1)、第2フィルタ処理(フィルタ#2)、および第nフィルタ処理(フィルタ#n)される場合、上から順次範囲C1乃至C4が順次処理されるとき画像P1の全体に対してなされる処理範囲を示したものである。

【0074】

このようにすると、範囲C1の処理結果がメモリ93にバッファリングされることにより、範囲C2の処理については、右下がりの斜線部で示されるように、必要な参照ピクセルの存在する領域が予め範囲C1において処理済みとされることにより、これを参照することで済むので、オーバーヘッドが発生しない。また、範囲C1が全ライン数の1/4よりも広いライン数の範囲とされていることから、範囲C2の位置は、本来の範囲C2よりも範囲C3に寄った位置の全ライン数の1/4の範囲とされる。これにより、範囲C3における参照ピクセルの存在する領域が範囲C2の処理結果としてバッファリングされることにより、再びフィルタ処理する必要がないのでオーバーヘッドの発生が抑制される。

【0075】

同様に、範囲C 3の位置は、本来の範囲C 3の位置よりも範囲C 4に寄った位置の全ライン数の $1/4$ の範囲とされるので、右下がりの斜線部で示されるように、範囲C 4における参照ピクセルが存在する領域が範囲C 3の処理結果としてバッファリングされることにより、再びフィルタ処理する必要がないのでオーバーヘッドの発生が抑制される。

【0076】

また、図10の中央上部で示される右上がりの斜線部で示されるように、第2フィルタ処理（フィルタ#2）による範囲C 1における処理領域については、以降における参照ピクセルを含む全ライン数の $1/4$ よりも広い範囲であって、図10の左上部の右上がり斜線部で示される第1フィルタ処理（フィルタ#1）のライン数よりも狭い範囲である。そして、それ以降については、 $1/4$ の範囲となるように、範囲C 2, C 3を設定し、最後の範囲C 4については、残りの範囲を設定する。

10

【0077】

すなわち、第2フィルタ処理（フィルタ#2）の範囲C 1のライン数については、第1フィルタ処理（フィルタ#1）よりも後段のフィルタ数が少ない分だけ参照ピクセルが存在する領域も狭くなることから、図10の中央上部の右上がりの斜線部で示されるように、全ライン数の $1/4$ よりも広い範囲ではあるが、第1フィルタ処理（フィルタ#1）の範囲C 1よりも狭い範囲となる。

【0078】

この結果、範囲C 2, C 3についても、本来の全ライン数の $1/4$ の範囲に近い位置にずれて設定され、範囲C 4については、第1フィルタ処理（フィルタ#1）における範囲C 1よりも、範囲C 1のライン数が減った分だけ広がる。

20

【0079】

以降、残りのフィルタ数が減るにつれて、範囲C 1のライン数が全ライン数の $1/4$ のライン数に近づいていき、範囲C 2, C 3の位置が本来の全ライン数の $1/4$ の位置に近づいていく。そして、最後の第nフィルタ処理（フィルタ#n）においては、後段のフィルタの参照ピクセルを考慮する必要がなくなるので、図10の右部で示されるように、範囲C 1乃至C 4が、本来の全ライン数の $1/4$ のライン数の位置とされる。

【0080】

以上のように、後段のフィルタ処理で必要とされる参照ピクセルの存在する範囲のラインについて、前段のフィルタ処理において先にフィルタ処理して、処理結果をバッファリングし、後段のフィルタ処理で利用することで、オーバーヘッドの発生を抑制することが可能となる。

30

【0081】

<低レイテンシ表示処理>

次に、図11のフローチャートを参照して、図1の画像処理装置11による低レイテンシ表示処理について説明する。

【0082】

ステップS 11において、IFカード34のカメラIF71は、図示せぬカメラより撮像された画像データの入力を受け付けて、PCIeブリッジ73およびバス33を介してCPU51に供給する。CPU51は、この供給を受けて入力された画像データをメインメモリ32に格納させる。

40

【0083】

ステップS 12において、DMAコントローラ51は、メインメモリ32に格納された画像データに基づいて、画像を水平方向にGPUカード35の数に応じて分割し、さらに、各分割された領域を垂直方向に時分割処理する上での分割数に分割するときの範囲数と、処理に係るフィルタ数とその参照ピクセルの存在する領域の情報に基づいて、処理量を計算する。

【0084】

すなわち、処理量は、大きく分けて垂直方向の処理に係る処理量と、水平方向の処理に係る処理量との2種類があり、DMAコントローラ51は、それぞれを計算した後、合算す

50

る。

【0085】

＜垂直方向の処理量＞

すなわち、垂直方向については、最終的にメインメモリ32に格納された後に、DMA出力される出力バッファサイズを基準として、第1フィルタ処理#1（フィルタ#1）による処理から第nフィルタ処理（フィルタ#n）による処理までの各フィルタ処理における参照ピクセル数と処理単位ブロックとにより順次、処理順序と逆の順序で求められる。

【0086】

すなわち、図12で示されるように、通常の垂直方向に順次なされるフィルタ処理は、第1フィルタ処理（フィルタ#1）によりなされた処理結果が、第2フィルタ（フィルタ#2）により処理され、さらに、第3フィルタ処理（フィルタ#3）により処理されるといった処理が繰り返されて、最終的に第nフィルタ処理がなされて、DMA転送されて出力される（図中最右上部の出力DMA）。

【0087】

従って、垂直方向の処理量の計算は、出力DMAのライン数から、順次逆方向に各フィルタ処理での参照ピクセル数と処理単位ブロックとから求められていく。すなわち、例えば、出力バッファサイズとなるライン数をPY（DMA）とすると、第nフィルタ処理（フィルタ#n）により求められるライン数は、画像を構成する画素数により予め決められることになるので、例えば、ライン数PY（n）＝PY（DMA）となる。

【0088】

この場合、第（n－1）フィルタ処理（フィルタ#(n-1)）のライン数PY（n－1）は、以下の式（1）により求められることになる。

【0089】

$$PY(n-1) = PY(n) + BY(n-1) \times z \quad \dots (1)$$

【0090】

ここで、PY（n－1）は、第（n－1）フィルタ処理（フィルタ#(n-1)）のライン数を、PY（n）は、第nフィルタ処理（フィルタ#n）のライン数を、BY（n－1）は、第（n－1）フィルタ処理（フィルタ#(n-1)）における処理単位ブロックの大きさを示すライン数をそれぞれ示している。

【0091】

また、zは、BY（n－1）×Aが参照ピクセル数よりも大きく、かつ、Aが最小となる値である。

【0092】

すなわち、図12の右下部で示されるように、第nフィルタ処理（フィルタ#n）により出力されるライン数（処理ライン数）に対して、第（n－1）フィルタ処理（フィルタ#(n-1)）における参照ピクセルを構成するライン数が、格子状に塗られた範囲である場合を考える。

【0093】

ここで、第nフィルタ処理（フィルタ#n）における処理ライン数は、図12の右下部の右下がりの斜線部で示される所定のライン数からなる処理単位ブロックの4ブロック分である。また、第（n－1）フィルタ処理（フィルタ#(n-1)）における参照ピクセルは、図12の右下部の格子状での範囲として示されるように、2ブロック分と、1ブロックに満たない数ライン分の範囲である。

【0094】

ところで、各フィルタ処理は、所定のライン数からなる処理単位ブロック毎にしか実施できない。そこで、図12の右下部のような場合、1ブロック分に満たないライン数の部分についても1ブロック分であるものとみなす。これにより、図12の右下部においては、式（1）で示されるzは、3として求められることになる。

【0095】

このため、図12の右下部の場合、第 $(n-1)$ フィルタ処理（フィルタ# $(n-1)$ ）の処理ライン数は、実質的に、7ブロック分のライン数が求められることになる。

【0096】

以降、第1フィルタ処理（フィルタ#1）までの処理単位ブロック数が計算されて、処理単位ブロック数に応じた処理量が順次計算されて、その総合計が垂直方向の処理量として計算される。

【0097】

尚、ここでも、各フィルタ処理において必要とされるライン数は、図10を参照して説明したように、オーバーヘッドが削減されるように、各フィルタの後段に必要な参照ピクセルを含めたライン数が設定される。

【0098】

＜水平方向の処理量＞

水平方向の処理量についても、最終的にメインメモリ32に格納された後に、DMA出力される出力バッファサイズを基準として、第1フィルタ処理（フィルタ#1）から第 n フィルタ処理（フィルタ# n ）までの各フィルタ処理における参照ピクセル数と処理単位ブロックとにより順次、処理順序と逆の順序で求められる。

【0099】

すなわち、図13で示されるように、通常の水平方向に順次なされるフィルタ処理は、第1フィルタ処理（フィルタ#1）によりなされた処理結果が、第2フィルタ処理（フィルタ#2）により処理され、さらに、第3フィルタ処理（フィルタ#3）されるといった処理が繰り返されて、最終的に第 n フィルタ処理（フィルタ# n ）がなされて、DMA転送されて出力される（図中の出力DMA）。

【0100】

従って、水平方向の処理量の計算は、出力DMAの水平方向の処理単位ブロックの倍数で定義される幅から、順次逆方向に各フィルタ処理での参照ピクセル数と処理単位ブロックとから求められていく。ただし、水平方向の処理においては、垂直方向の処理におけるオーバーヘッドを削減する処理を行わず、各フィルタ処理における水平方向の幅に、各フィルタ処理における参照ピクセル数に応じた処理単位ブロック数分の幅が単純に加算された水平方向の幅に対応した処理量となる。

【0101】

すなわち、例えば、第 k フィルタ処理# k における処理量を計算する上で必要とされる水平方向の幅 X_k は、以下の式（2）で表される。

【0102】

$$X_k = w + z_k \times x_k$$

・・・（2）

【0103】

ここで、 X_k は、第 k フィルタ処理# k における処理量を計算する上で必要とされる幅であり、 w は、第 n フィルタ処理# n における処理単位ブロックの倍数で設定される水平方向の幅であり、 z_k は、処理単位ブロックの幅である。

【0104】

また、 z_k は、第 i フィルタ処理（フィルタ# i ）の参照ピクセル数を r_i としたときの、それまでのフィルタ処理の参照ピクセル数の総和（ $r_1 + r_2 + \dots + r_{(k-1)} + r_k$ ）よりも大きく、かつ、 $z_k \times x_k$ が最小となる値である。

【0105】

すなわち、図13の右下部の最下段の格子柄のマスで示されるように、第 n フィルタ処理（フィルタ# n （ $n=1$ 乃至6： $n=6$ は最終段））により出力される水平方向の幅に対して、出力バッファサイズとなる第 n フィルタ処理（フィルタ# n ）に対応する第6フィルタ処理（フィルタ#6）の幅に対して、第5フィルタ処理（フィルタ#5）における参照ピクセル数が2であるものとする。

【0106】

10

20

30

40

50

そして、図 13 の右下部の下から 2 段目の格子柄のマスで示されるように、第 4 フィルタ処理（フィルタ#4）において、参照ピクセル数が 1 であるものとすれば、この場合、第 5 フィルタ処理（フィルタ#5）における右下がりの斜線部のマスで示されるように参照ピクセル数である 2 が加算されて、3 となる。

【0107】

同様にして、図 13 の右下部の下から 3 段目の格子柄のマスで示されるように、第 3 フィルタ処理（フィルタ#3）において、参照ピクセル数が 3 であるものとすれば、この場合、右下がりの斜線部のマスで示されるように第 4 フィルタ処理（フィルタ#4）までの参照ピクセル数である 3 が加算されて、6 となる。

【0108】

さらに、図 13 の右下部の下から 4 段目で示されるように、第 2 フィルタ処理（フィルタ#2）において、参照ピクセル数が 1 であるものとすれば、この場合、右下がりの斜線部のマスで示されるように第 3 フィルタ処理（フィルタ#3）までの参照ピクセル数である 6 が加算されて、7 となる。

【0109】

そして、図 13 の右下部の最上段で示されるように、第 1 フィルタ処理（フィルタ#1）において、参照ピクセル数が 1 であるものとすれば、この場合、右下がりの斜線部のマスで示されるように第 2 フィルタ処理（フィルタ#2）までの参照ピクセル数である 7 が加算されて、8 となる。

【0110】

すなわち、この場合、例えば、図 13 の右下部の下から 3 段目で示されるように、処理単位ブロックが 1 ピクセルで構成される場合、第 3 フィルタ処理（フィルタ#3）における、上述した式（2）の z_k （ $= z_3$ ）は、2 となる。

【0111】

以上のような手法により、水平方向の各フィルタにおける処理対象となる処理単位ブロックの倍数となる幅の合算結果に対応する処理量が順次求められる。

【0112】

DMAコントローラ 51 は、画像の水平方向の分割数、および垂直方向の分割数に応じて、上述した垂直方向の処理量および水平方向の処理量を計算し、双方を合算することにより処理に必要とされる処理量を計算する。

【0113】

ステップ 13 において、DMAコントローラ 51 は、GPUカード 35 にそれぞれ搭載されているプロセッサ 92 の処理能力と、上述した計算により求められた処理量とに応じて、各種のフィルタ処理に係る処理時間を計算し、さらに、求められた処理時間から画像データの読み出し、または転送タイミング等の各種のタイミングを計算する。この処理により、以降の処理において、どのタイミングでどの画像データを、どこのGPUカード 35 に転送するかを示すタイミングチャートを構築する。

【0114】

ステップ S14 において、DMAコントローラ 51 は、所定のタイミングから、このタイミングチャートに基づいて処理を開始し、今現在、次の処理のタイミングになったか否かを判定し、次の処理のタイミングになるまで、同様の処理を繰り返す。

【0115】

ステップ S14 において、例えば、次の処理を開始するタイミングであると判定された場合、処理は、ステップ S15 に進む。

【0116】

ステップ S15 において、DMAコントローラ 51 は、タイミングチャートに基づいて、次の処理として設定されている画像データをメインメモリ 32 より読み出して、転送先として設定されているGPUカード 35 に転送させ、同時に、GPUカード 35 のプロセッサ 92 に処理を実行させる。または、DMAコントローラ 51 は、GPUカード 35 のプロセッサ 92 による処理が実行されて、処理結果が送信されてくると、これを受け取って、メインメモ

10

20

30

40

50

リ 3 2 に格納する。

【 0 1 1 7 】

ステップ S 1 6 において、DMAコントローラ 5 1 は、タイミングチャートを参照して、次の処理が存在するか否かを判定し、例えば、次の処理がある場合、処理は、ステップ S 1 4 に戻り、以降の処理が繰り返される。

【 0 1 1 8 】

すなわち、ステップ S 1 6 において、次の処理がないと判定されるまで、ステップ S 1 4 乃至 S 1 6 の処理が繰り返される。そして、ステップ S 1 4 乃至 S 1 6 の処理が繰り返されて、タイミングチャートに設定された全ての処理が完了すると、ステップ S 1 6 において、次の処理がないとみなされて、処理は、ステップ S 1 7 に進む。

10

【 0 1 1 9 】

ステップ S 1 7 において、DMAコントローラ 5 1 は、メインメモリ 3 2 に格納されている高画質化等の処理がなされた画像データをバス 3 3、および IF カード 3 4 の PCIe ブリッジ 7 3 を介してディスプレイ IF 7 2 より図示せぬディスプレイに出力させる。

【 0 1 2 0 】

ステップ S 1 8 において、DMAコントローラ 5 1 は、次の画像が供給されてきているかを判定し、次の画像が存在する場合、処理は、ステップ S 1 1 に戻り、それ以降の処理が繰り返される。

【 0 1 2 1 】

そして、ステップ S 1 8 において、次の画像の供給がないとみなされた場合、処理は、終了する。

20

【 0 1 2 2 】

すなわち、以上のように、複数の GPU カード 3 5 のプロセッサ 9 2 により水平方向に画像を分割して、各プロセッサ 9 2 により分担して処理させるようにした。また、各プロセッサ 9 2 による垂直方向に所定数の範囲に分割して、分割した範囲を時分割処理するようにした。また、この時分割処理において、後段のフィルタ処理における参照ピクセルの存在する範囲を前段のフィルタ処理で実行して、メモリ 9 3 にバッファリングさせるようにした。

【 0 1 2 3 】

これにより、複数の GPU カード 3 5 におけるプロセッサ 9 2 により並列に処理を実行させるようにすることが可能となり、例えば、図 3 の下段で示されるような並列処理が可能となった。また、垂直方向に時分割処理するにあたって、参照ピクセルを繰り返し計算し直すといったオーバーヘッドが削減されるように、各プロセッサ 9 2 による処理効率を向上させるようにした。

30

【 0 1 2 4 】

結果として、画像データを高画質化して表示させるまでの速度が向上し、低レイテンシ化を実現することが可能となる。

【 0 1 2 5 】

< 処理時間を均一にする >

以上の処理により、垂直方向のフィルタ処理におけるオーバーヘッド削減とのトレードオフにより、各種の処理時間に変化することがある。

40

【 0 1 2 6 】

すなわち、図 1 4 の左部は、欠陥補正、RAWNR、デモザイク、高画質化、拡大、および出力DMAといった各種の処理に当たってオーバーヘッドを削減するように、前段のフィルタ処理で後段のフィルタ処理における参照ピクセルをバッファリングするようにしたときの範囲 C 1 乃至 C 4 に設定されるライン数の一例を示したものである。

【 0 1 2 7 】

図 1 4 の左部においては、欠陥補正処理における範囲 C 1 乃至 C 4 の各ライン数は、6 0 4, 5 4 0, 5 4 0, 4 7 6 ラインであり、RAWNR 処理における範囲 C 1 乃至 C 4 の各ライン数は、5 9 6, 5 4 0, 5 4 0, 4 8 4 ラインであり、デモザイク処理におけ

50

る範囲C 1乃至C 4の各ライン数は、5 8 8, 5 4 0, 5 4 0, 4 9 2ラインであることが示されている。また、高画質化処理における範囲C 1乃至C 4の各ライン数は、5 4 8, 5 4 0, 5 4 0, 5 3 2ラインであり、拡大処理の範囲C 1乃至C 4の各ライン数は、5 4 0, 5 4 0, 5 4 0, 5 4 0ラインであり、出力DMA処理の範囲C 1乃至C 4の各ライン数は、5 4 0, 5 4 0, 5 4 0, 5 4 0ラインであることが示されている。

【0 1 2 8】

この場合、範囲C 1乃至C 4における処理時間は、図1 4の右部で示されるようなものとなり、範囲C 1乃至C 4における処理時間の合計における最大差 Δ は、例えば、範囲C 1, C 4の処理時間の差であり、範囲C 1の処理時間に対する5 %前後の時間となる。これは、垂直方向のフィルタ処理におけるオーバーヘッド削減を目的として処理ライン数に変化することに起因したものであり各種の処理時間が増加することにより生じるものである。尚、図1 4の右部においては、左から範囲C 1乃至C 4のそれぞれの処理時間の総合計とその内訳が示されている。

10

【0 1 2 9】

このように処理時間が不均一となることの対策として、例えば、範囲C 1乃至C 4において、最終的に出力するライン数を調整して、処理時間を平滑化することが考えられる。

【0 1 3 0】

すなわち、例えば、図1 5の左下部で示されるように、出力DMA処理におけるライン数を範囲C 1については5 2 0ラインに、範囲C 4については5 6 0ラインにするといったように、処理時間の不均一が解消するように不均一にする。

20

【0 1 3 1】

このようにすると、図1 5の右下部で示されるように、範囲C 1, C 4における処理時間差 Δ がほぼ0の状態に解消され、処理時間を全体として平滑化されて均一なものとするのが可能となる。尚、図1 5の左上部および右上部は、それぞれ図1 4の左部および右部と同一のものである。

【0 1 3 2】

また、例えば、範囲C 1乃至C 4のうち、処理時間が早い範囲については、処理速度をリアルタイムで調整する必要のない処理を分担させるようにしてもよく、例えば、図1 6で示されるように、範囲C 2乃至C 4における最上段の黒色の範囲で示される時間帯に、検波処理などに割り当てるようにして、総じて処理時間が均一なものとなるようにしてもよい。

30

【0 1 3 3】

以上の処理により、画像を水平方向に分割して、複数のプロセッサに割り付け、水平分割された各領域を、垂直方向に時分割処理し、かつ、垂直方向に分割された各範囲については、先頭の範囲に後段の処理に必要とされる参照ピクセルを含む範囲を設定する。そして、先頭範囲の処理において、先行して参照ピクセルの処理も含めてフィルタ処理を実施した上でバッファリングし、以降のフィルタ処理においては、バッファリングしたものを参照して処理を実行させるようにした。これにより、撮像した画像の表示処理を低レイテンシ化させることが可能となり、撮像した画像を撮像した実時間により近いタイミングで高速に表示させることが可能となる。

40

【0 1 3 4】

このため、図1の画像処理装置1 1は、例えば、患者の術部を撮像する撮像装置として内視鏡下手術に利用される内視鏡や脳神経外科手術等に利用される顕微鏡などにより患者の術部が撮像された画像を処理する画像処理装置、さらには、撮像装置としての内視鏡や顕微鏡を含めた手術システムに適用させることができる。また、GPUカード3 5におけるプロセッサ9 2を利用するにあたって、画像を表示させる上でのタイムラグ等への考慮を低減させることが可能となるので、プログラマビリティを向上させることが可能となる。さらに、放送波などを介して受信された画像を表示するにあたって、低レイテンシ化を図ることができるので、タイムラグを抑制して表示させることが可能となる。

【0 1 3 5】

50

さらに、画像を処理するにあたって、DMAコントローラ51により、処理に使用するフィルタに応じた参照ピクセル数と処理単位ブロックとに応じて、予め処理量を計算した上で、画像データの読み出しタイミングや書き込みタイミングを最適化した後、処理を実行するようにしているので、処理内容に寄らず、最適な状態で低レイテンシ化を図ることが可能となる。

【0136】

ところで、上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

10

【0137】

図17は、汎用のパーソナルコンピュータの構成例を示している。このパーソナルコンピュータは、CPU(Central Processing Unit)1001を内蔵している。CPU1001にはバス1004を介して、入出力インタフェース1005が接続されている。バス1004には、ROM(Read Only Memory)1002およびRAM(Random Access Memory)1003が接続されている。

【0138】

入出力インタフェース1005には、ユーザが操作コマンドを入力するキーボード、マウスなどの入力デバイスよりなる入力部1006、処理操作画面や処理結果の画像を表示デバイスに出力する出力部1007、プログラムや各種データを格納するハードディスクドライブなどよりなる記憶部1008、LAN(Local Area Network)アダプタなどとなり、インターネットに代表されるネットワークを介した通信処理を実行する通信部1009が接続されている。また、磁気ディスク(フレキシブルディスクを含む)、光ディスク(CD-ROM(Compact Disc-Read Only Memory)、DVD(Digital Versatile Disc)を含む)、光磁気ディスク(MD(Mini Disc)を含む)、もしくは半導体メモリなどのリムーバブルメディア1011に対してデータを読み書きするドライブ1010が接続されている。

20

【0139】

CPU1001は、ROM1002に記憶されているプログラム、または磁気ディスク、光ディスク、光磁気ディスク、もしくは半導体メモリ等のリムーバブルメディア1011から読み出されて記憶部1008にインストールされ、記憶部1008からRAM1003にロードされたプログラムに従って各種の処理を実行する。RAM1003にはまた、CPU1001が各種の処理を実行する上において必要なデータなども適宜記憶される。

30

【0140】

以上のように構成されるコンピュータでは、CPU1001が、例えば、記憶部1008に記憶されているプログラムを、入出力インタフェース1005及びバス1004を介して、RAM1003にロードして実行することにより、上述した一連の処理が行われる。

【0141】

コンピュータ(CPU1001)が実行するプログラムは、例えば、パッケージメディア等としてのリムーバブルメディア1011に記録して提供することができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することができる。

40

【0142】

コンピュータでは、プログラムは、リムーバブルメディア1011をドライブ1010に装着することにより、入出力インタフェース1005を介して、記憶部1008にインストールすることができる。また、プログラムは、有線または無線の伝送媒体を介して、通信部1009で受信し、記憶部1008にインストールすることができる。その他、プログラムは、ROM1002や記憶部1008に、あらかじめインストールしておくことができる。

50

【0143】

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

【0144】

また、本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、すべての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。

10

【0145】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0146】

例えば、本技術は、1つの機能をネットワークを介して複数の装置で分担、共同して処理するクラウドコンピューティングの構成をとることができる。

【0147】

また、上述のフローチャートで説明した各ステップは、1つの装置で実行する他、複数の装置で分担して実行することができる。

【0148】

さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。

20

【0149】

尚、本技術は、以下のような構成も取ることができる。

(1) 患者の術部が撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含み、

前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す

画像処理装置。

30

(2) 前記複数の演算処理部は、複数のGPU (Graphical Processing Unit) により構成され、

前記演算処理部は、前記GPUの数で水平方向に分割された前記画像に処理を施す

(1)に記載の画像処理装置。

(3) 前記画像に施す処理は、n段のフィルタを掛ける処理である

(1)または(2)に記載の画像処理装置。

(4) 前記n段の前記フィルタは、それぞれ前記画像を垂直方向に分割した範囲を、前記垂直方向の最上段の範囲から下方向に向かって順次時分割で処理を施す

(3)に記載の画像処理装置。

(5) 前記画像の前記水平方向の分割数、および前記垂直方向の分割数に基づいて算出される前記画像に施す処理量と、前記演算処理部の処理速度とに基づいて、前記演算処理部の演算のタイミングを制御するタイミング制御部をさらに含む

40

(1)乃至(4)のいずれかに記載の画像処理装置。

(6) 前記画像を前記垂直方向に時分割した範囲のうち、第1の期間の処理範囲には、前記第1の期間より後の第2の期間の処理に必要とされる参照ピクセルが含まれる

(1)乃至(5)のいずれかに記載の画像処理装置。

(7) 前記演算処理部は、処理結果をバッファリングするメモリを含み、

前記第2の期間の処理では、前記メモリにバッファリングされた前記第1の期間の処理結果から、前記参照ピクセルに対応する処理結果を利用して演算処理を実行する

(6)に記載の画像処理装置。

50

(8) 前記演算処理部は、処理結果をバッファリングするメモリを含み、

前記画像を垂直方向に分割した範囲のうち、各段の前記フィルタによる前記垂直方向の最上段の処理範囲は、前記垂直方向の2段目以下の処理範囲における前記フィルタの処理に必要とされる参照ピクセルのライン数を含む範囲とし、

前記演算処理部は、前記フィルタによる処理のための演算処理を実行するにあたり、前記参照ピクセルを利用する処理は、前記メモリにバッファリングされた前段までのフィルタ処理の処理結果から、前記参照ピクセルに対応する処理結果を利用して演算処理を実行する

(3)に記載の画像処理装置。

(9) 前記演算処理部は、前記患者の術部が撮像された画像に対して、少なくとも拡大処理を施す

10

(1)乃至(8)のいずれかに記載の画像処理装置。

(10) 前記患者の術部が撮像された画像は、内視鏡により撮像された画像である

(1)乃至(9)のいずれかに記載の画像処理装置。

(11) 前記患者の術部が撮像された画像は、顕微鏡により撮像された画像である

(1)乃至(9)のいずれかに記載の画像処理装置。

(12) 患者の術部が撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含む画像処理装置の画像処理方法において、

前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す

20

画像処理方法。

(13) 前記画像は、内視鏡により撮像された画像である

(12)に記載の画像処理方法。

(14) 前記画像は、顕微鏡により撮像された画像である

(12)に記載の画像処理方法。

(15) 患者の術部を撮像する撮像装置と、

前記撮像装置により撮像された画像を垂直方向に分割された範囲毎に時分割で処理を施す複数の演算処理部を含み、

前記演算処理部は、前記演算処理部の数で、水平方向に分割された前記画像を、前記垂直方向に時分割して処理を施す

30

画像処理装置と

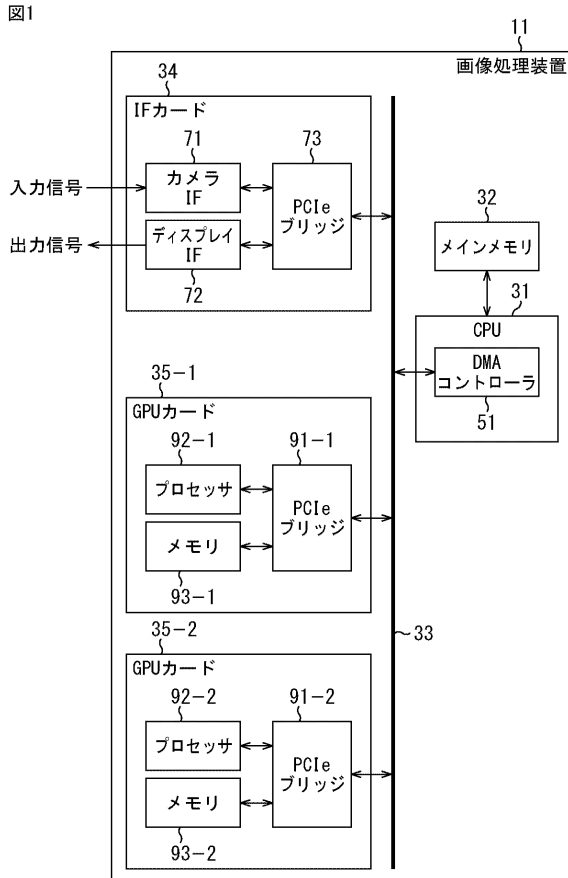
を有する手術システム。

【符号の説明】

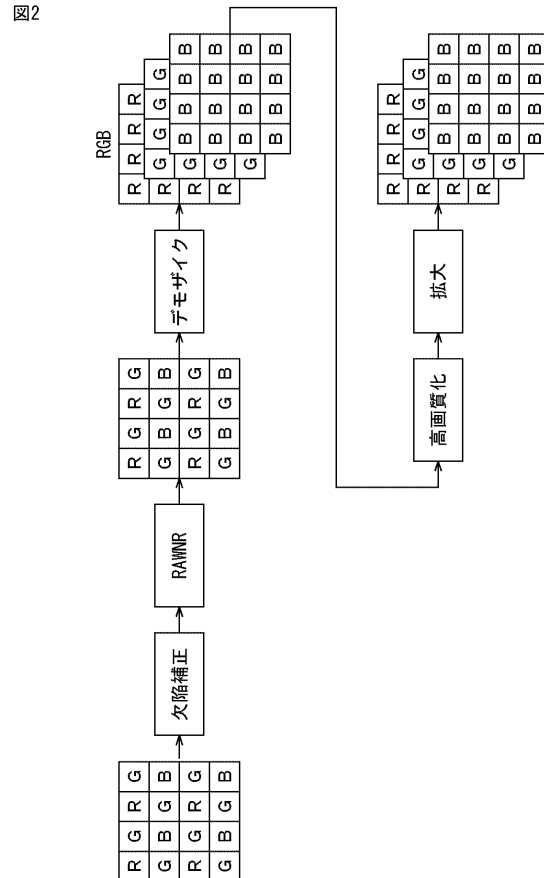
【0150】

11 情報処理部, 31 CPU, 32 メインメモリ, 33 バス, 34 IF
カード, 35, 35-1, 35-2 GPUカード, 51 DMAコントローラ, 71
カメラIF, 72 ディスプレイIF, 73, 91, 91-1, 91-2 PCIeブリッジ
, 92, 92-1, 92-2 プロセッサ, 93, 93-1, 93-2 メモリ

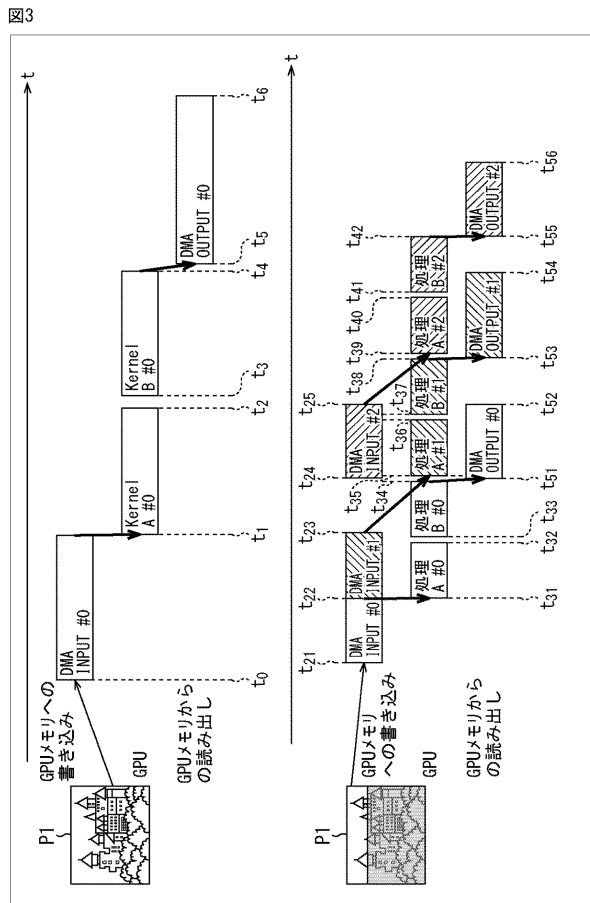
【図 1】



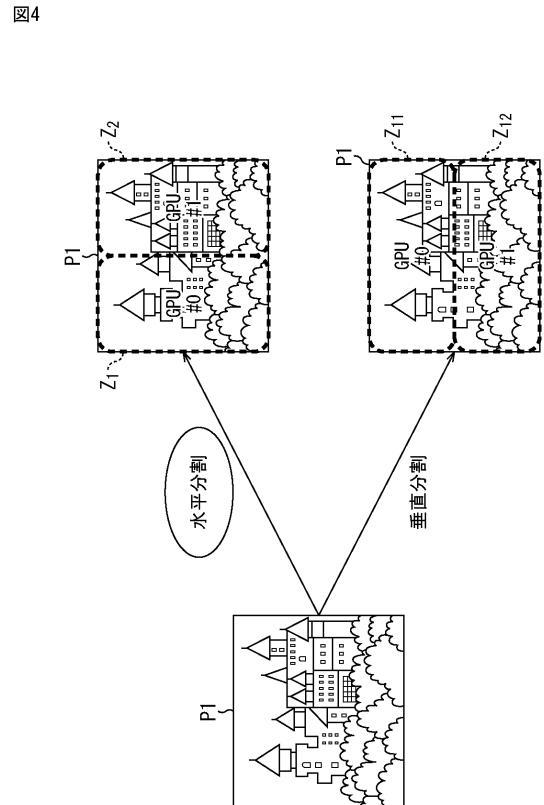
【図 2】



【図 3】

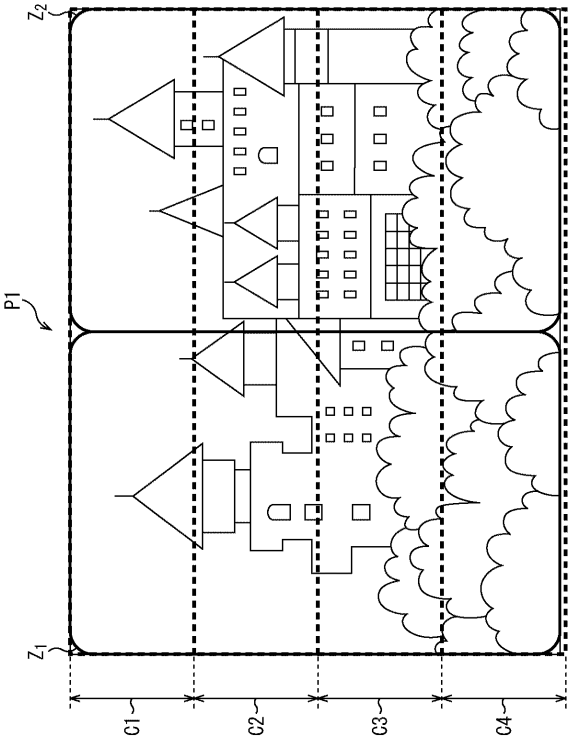


【図 4】



【図 5】

図5



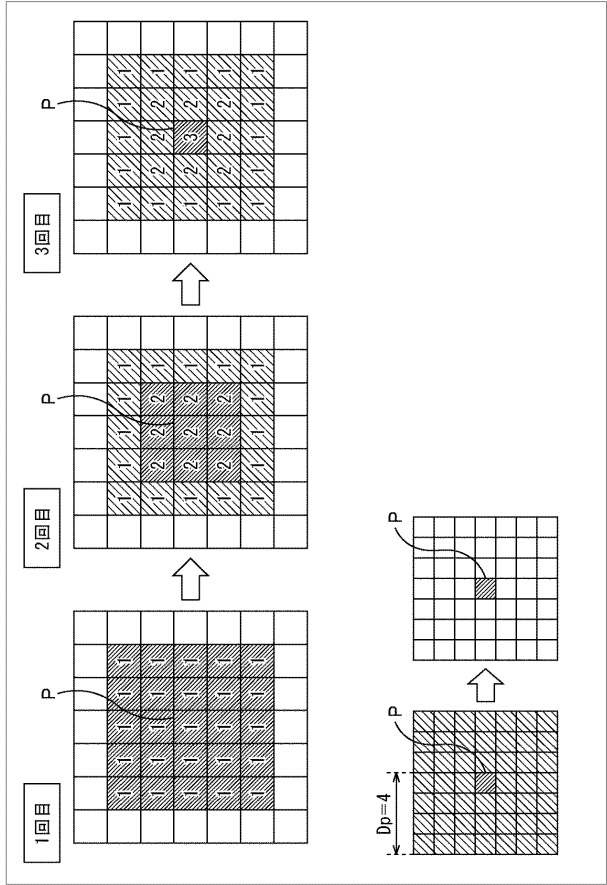
【図 6】

図6

$\frac{1}{16}$	$\frac{2}{16}$	$\frac{1}{16}$
$\frac{2}{16}$	$\frac{4}{16}$	$\frac{2}{16}$
$\frac{1}{16}$	$\frac{2}{16}$	$\frac{1}{16}$

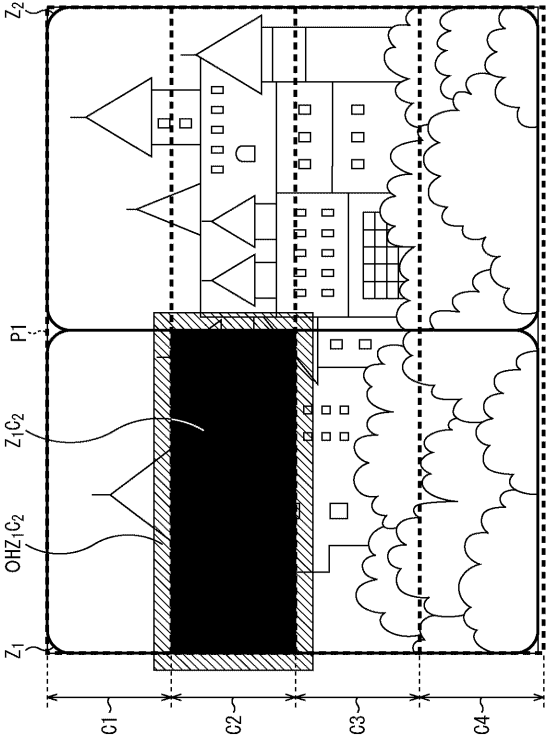
【図 7】

図7



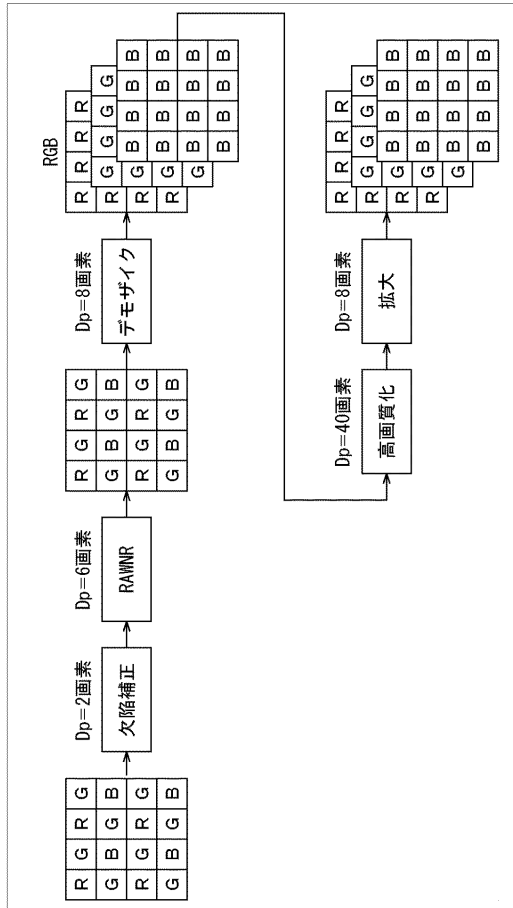
【図 8】

図8



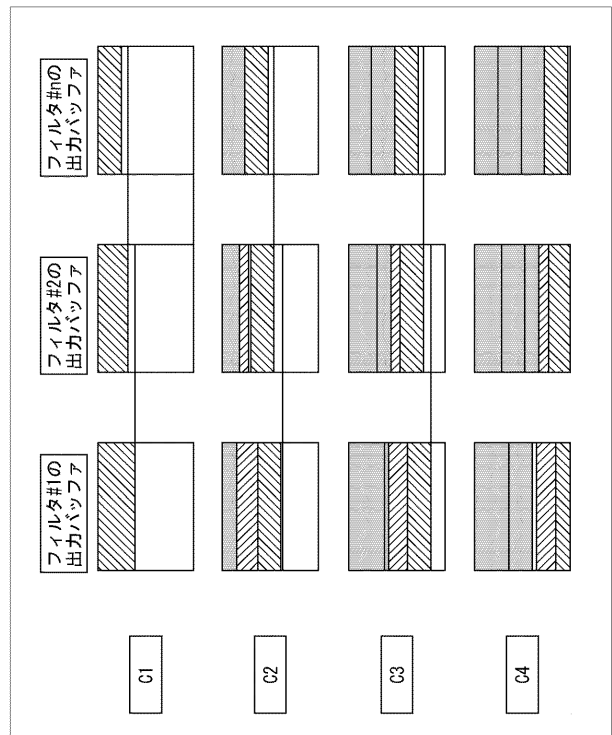
【図 9】

図9



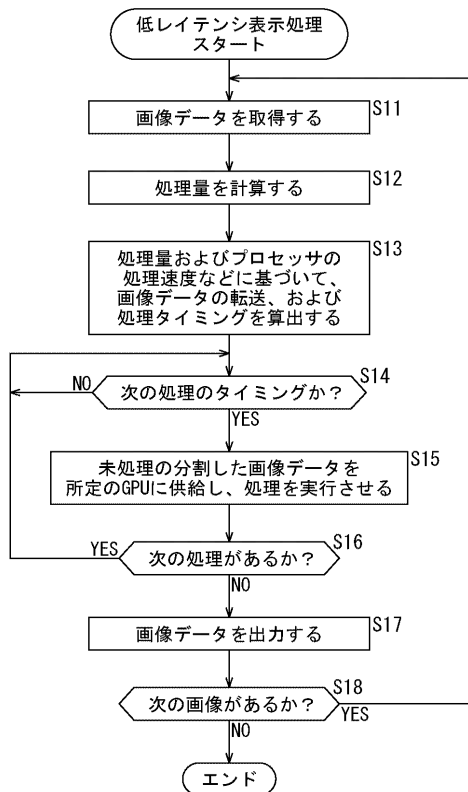
【図 10】

図10



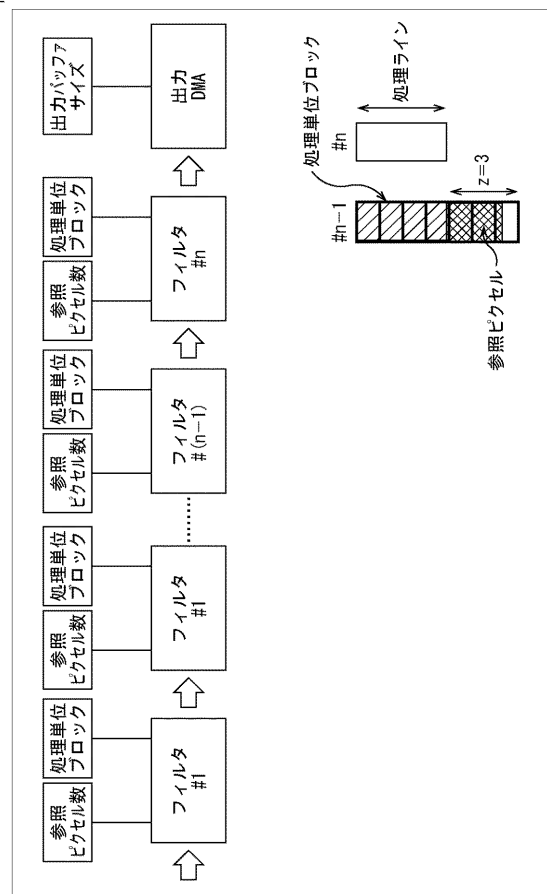
【図 11】

図11



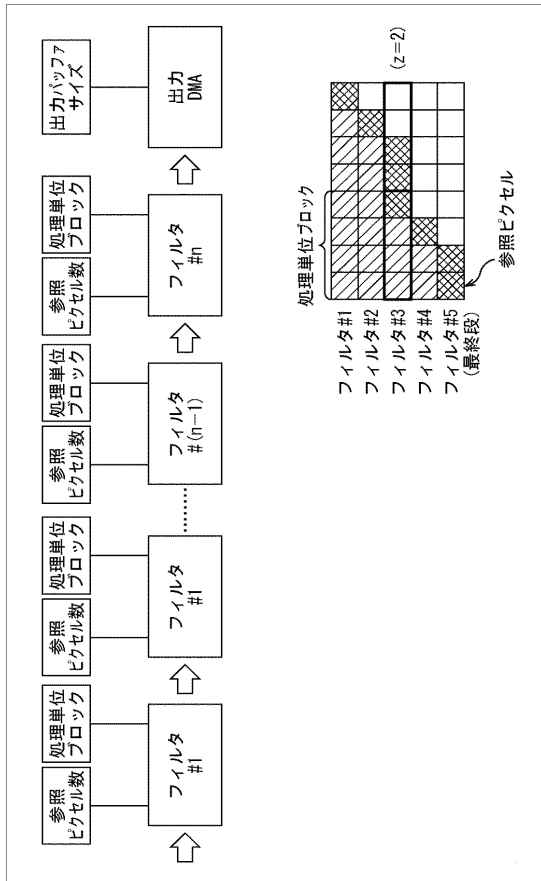
【図 12】

図12



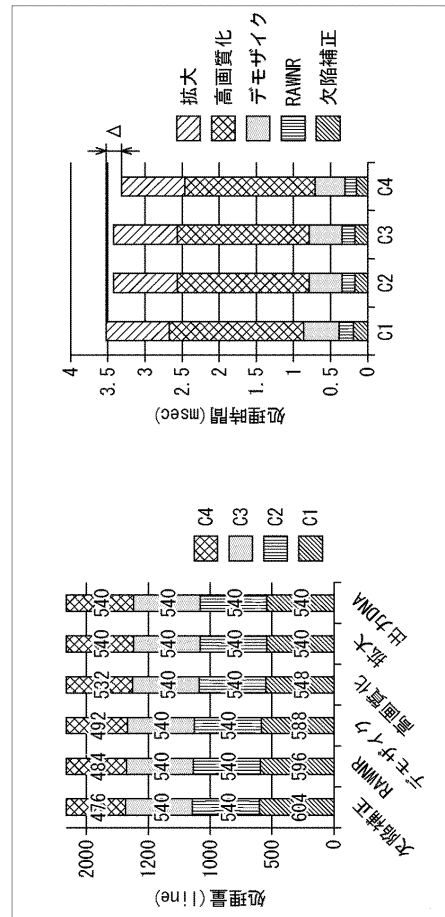
【図 13】

図13



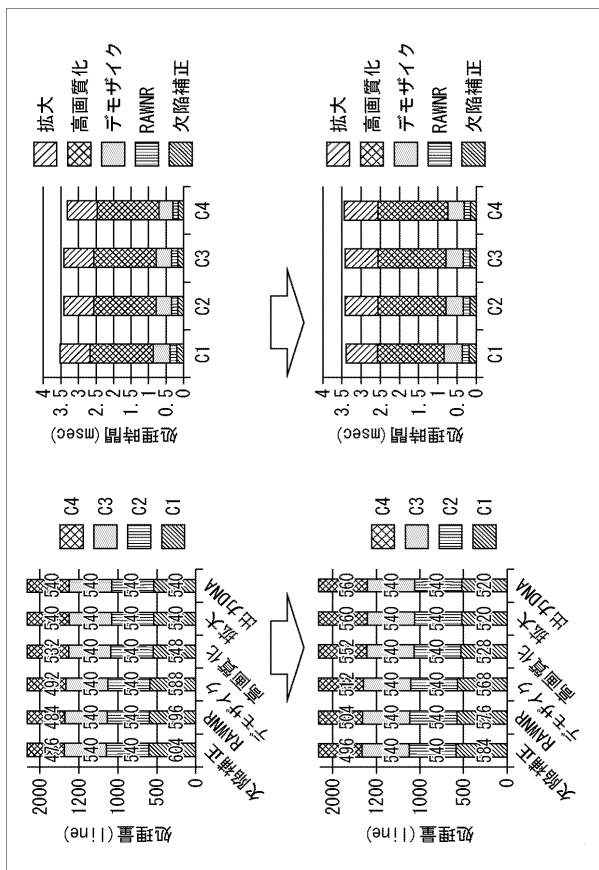
【図 14】

図14



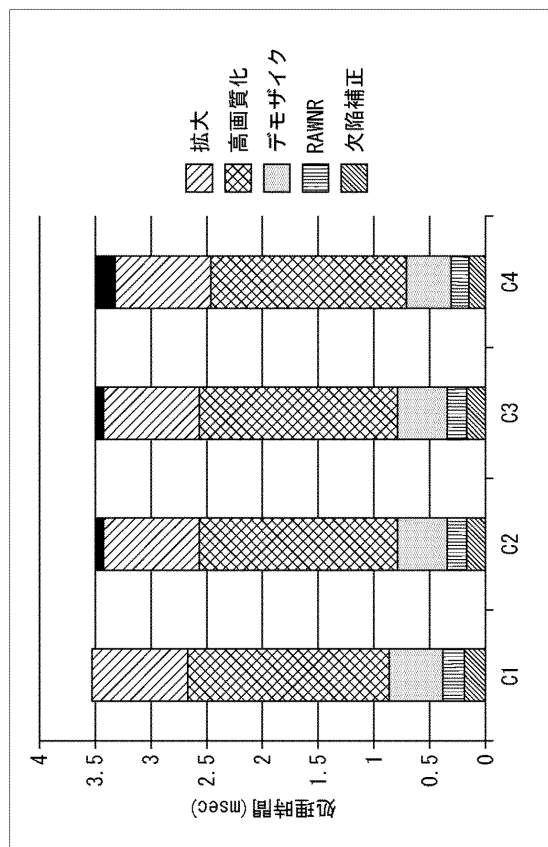
【図 15】

図15



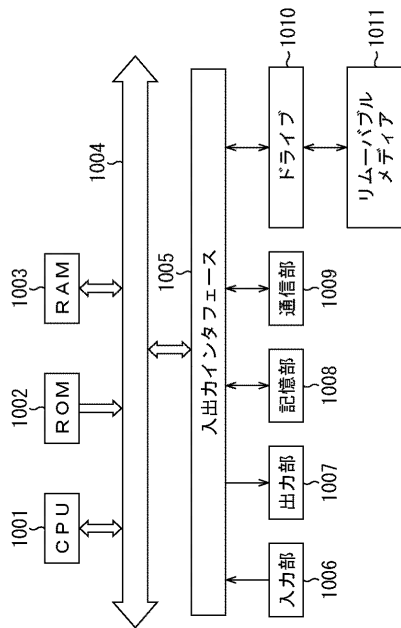
【図 16】

図16



【図 17】

図17



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/061311

A. CLASSIFICATION OF SUBJECT MATTER

H04N7/18(2006.01)i, G06T1/20(2006.01)i, G09G5/00(2006.01)i, G09G5/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N7/18, G06T1/20, G09G5/00, G09G5/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-312327 A (Olympus Optical Co., Ltd.), 07 November 2000 (07.11.2000), paragraphs [0023] to [0045]; fig. 1 to 2, 4, 11 to 16 (Family: none)	1-4, 6, 9-15 5, 7-8
A	JP 2013-182504 A (Canon Inc.), 12 September 2013 (12.09.2013), paragraphs [0015] to [0020]; fig. 1 to 2 (Family: none)	1-15
A	JP 05-324583 A (Dainippon Screen Mfg. Co., Ltd.), 07 December 1993 (07.12.1993), paragraphs [0014] to [0016]; fig. 1 to 2 & US 5448655 A & EP 0571969 A2	1-15

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 June 2015 (23.06.15)Date of mailing of the international search report
07 July 2015 (07.07.15)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/061311

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-098883 A (Olympus Corp.), 24 May 2012 (24.05.2012), paragraphs [0002] to [0003], [0016] to [0055]; fig. 1 to 2 & US 2012/0110224 A1	1-15
A	JP 2010-263475 A (Olympus Imaging Corp.), 18 November 2010 (18.11.2010), paragraphs [0029] to [0067]; fig. 5 & US 2010/0260428 A1 & CN 101917543 A	1-15

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 6 1 3 1 1	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H04N7/18(2006.01)i, G06T1/20(2006.01)i, G09G5/00(2006.01)i, G09G5/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H04N7/18, G06T1/20, G09G5/00, G09G5/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 2000-312327 A（オリンパス光学工業株式会社）2000.11.07 段落[0023]-[0045]，図 1-2, 4, 11-16	1-4, 6, 9-15	
A	（ファミリーなし）	5, 7-8	
A	JP 2013-182504 A（キヤノン株式会社）2013.09.12 段落[0015]-[0020]，図 1-2 （ファミリーなし）	1-15	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 23.06.2015		国際調査報告の発送日 07.07.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 佐野 潤一	5 P 3903 電話番号 03-3581-1101 内線 3581

国際調査報告		国際出願番号 PCT/J P 2 0 1 5 / 0 6 1 3 1 1
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 05-324583 A (大日本スクリーン製造株式会社) 1993.12.07 段落[0014]-[0016], 図 1-2 & US 5448655 A & EP 0571969 A2	1-15
A	JP 2012-098883 A (オリンパス株式会社) 2012.05.24 段落[0002]-[0003], [0016]-[0055], 図 1-2 & US 2012/0110224 A1	1-15
A	JP 2010-263475 A (オリンパスイメージング株式会社) 2010.11.18 段落[0029]-[0067], 図 5 & US 2010/0260428 A1 & CN 101917543 A	1-15

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 5/00	5 5 0 M
	G 0 9 G 5/36	5 2 0 F
	G 0 9 G 5/00	5 1 0 G

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

Fターム(参考) 5C054 CC02 CE04 CE11 EA05 EJ00 FC12 FD07 HA12
5C182 AB12 BA14 CB04 CB13 CB45 CC24 DA05 DA06 DA14 DA44

(注) この公表は、国際事務局(W I P O)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	<无法获取翻译>		
公开(公告)号	JPWO2015163171A5	公开(公告)日	2018-04-19
申请号	JP2016514864	申请日	2015-04-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山根真人 林恒生		
发明人	山根 真人 林 恒生		
IPC分类号	H04N7/18 A61B1/04 G09G5/00 G09G5/36		
CPC分类号	G09G3/2088 G09G3/3644 G06T1/20 G06T7/11 G09G5/00 G09G5/36 H04N7/18 G06T2207/10004 H04N5/225		
FI分类号	H04N7/18.M A61B1/04.370 G09G5/00.510.D G09G5/00.550.C G09G5/36.520.C G09G5/00.550.M G09G5/36.520.F G09G5/00.510.G		
F-TERM分类号	4C161/CC06 4C161/HH56 4C161/NN05 4C161/SS21 4C161/WW03 5C054/CC02 5C054/CE04 5C054/CE11 5C054/EA05 5C054/EJ00 5C054/FC12 5C054/FD07 5C054/HA12 5C182/AB12 5C182/BA14 5C182/CB04 5C182/CB13 5C182/CB45 5C182/CC24 5C182/DA05 5C182/DA06 5C182/DA14 5C182/DA44		
代理人(译)	西川 孝		
优先权	2014090566 2014-04-24 JP		
其他公开文献	JPWO2015163171A1		

摘要(译)

技术领域本发明涉及使得能够以接近实时的状态显示具有低等待时间的捕获图像的图像处理设备和方法以及操作系统。CPU 31的DMA控制器51在水平方向上将通过IF卡34输入的图像数据除以GPU卡35-1和35-2的数量，并分配图像数据。在其中，图像数据在垂直方向上被时分地处理。因此，通过使用多个GPU卡35-1和35-2，可以加速与图像数据的显示有关的处理，并且可以减少等待时间以实现高速显示。本技术可以应用于内窥镜照相机，手术显微镜等。